

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application: June 28, 2002

Application Number: Patent Application 2002-189084
[ST.10/C]: [JP2002-189084]

Applicant(s): FUJITSU LIMITED

December 27, 2002

Commissioner,
Japan Patent Office Shinichiroh OHTA

Certification No. 2002-3102456

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年 6月28日

出願番号

Application Number: 特願2002-189084

[ST.10/C]:

[JP2002-189084]

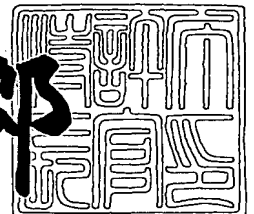
出願人

Applicant(s): 富士通株式会社

2002年12月27日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2002-3102456

【書類名】 特許願

【整理番号】 0240658

【提出日】 平成14年 6月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H03L 7/08

【発明の名称】 通倍 P L L 回路

【請求項の数】 10

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴァ
ィエルエスアイ株式会社内

【氏名】 渡辺 英明

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100098431

【弁理士】

【氏名又は名称】 山中 郁生

【電話番号】 052-218-7161

【選任した代理人】

【識別番号】 100097009

【弁理士】

【氏名又は名称】 富澤 孝

【手数料の表示】

【予納台帳番号】 041999

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0008078

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 通倍 P L L 回路

【特許請求の範囲】

【請求項 1】

出力クロック信号を出力する発振回路と、

上記出力クロック信号を分周して第 1 分周信号ないし第 n 分周信号 (n は 2 以上の整数) を各々出力する第 1 分周器ないし第 n 分周器であって、

出力する上記第 1 分周信号ないし第 n 分周信号の有効遷移タイミングが互いに異なる

第 1 分周器ないし第 n 分周器と、

入力されたレファレンスクロック信号を用いて、互いに位相の異なる n 種の第 1 基準クロック信号ないし第 n 基準クロック信号を生成する基準クロック信号生成回路と、

第 i 基準クロック信号と第 i 分周信号 (i は 1 ～ n の整数) との位相を各々比較する第 1 位相比較回路ないし第 n 位相比較回路と、
を備え、

上記発振回路における上記出力クロック信号の発振周波数を、上記第 1 位相比較回路ないし第 n 位相比較回路の比較結果に基づいて、変化させうように構成してなる

通倍 P L L 回路。

【請求項 2】

請求項 1 に記載の通倍 P L L 回路であって、

前記第 1 分周器ないし第 n 分周器は、同じ分周比 $1/M$ (M は 2 以上の整数) を有し、

前記第 1 分周信号の有効遷移タイミングから前記第 j 分周信号 (j は 2 ～ n の整数) の有効遷移タイミングまでの期間に、前記発振回路から出力される前記出力クロック信号のパルス数を P_j けたとき、

前記第 1 基準クロック信号を基準としたときの第 j 基準クロック信号の位相遅れが P_j/M 周期分である

通倍PLL回路。

【請求項3】

請求項2に記載の通倍PLL回路であって、

この通倍PLL回路への電源投入後、前記発振回路からの出力クロック信号の出力開始を待って、前記基準クロック信号生成回路からの前記第1基準クロック信号の有効遷移タイミングで、前記第1分周器を1回のみリセットし、

残る第2～第n分周器について、上記第1分周器のリセットの後に前記発振回路から出力される前記出力クロック信号のパルス数が前記Pjヶとなるタイミングで、前記第j分周器を各々1回のみリセットする

分周器初期リセット手段を有する

通倍PLL回路。

【請求項4】

請求項1に記載の通倍PLL回路であって、

前記第1分周器ないし第n分周器は、同じ分周比 $1/M$ （Mは2以上の整数）を有し、

前記第1分周信号の有効遷移タイミングから第j分周信号（jは2～nの整数）の有効遷移タイミングまでの期間に、前記発振回路から出力される出力クロック信号のパルス数が、 $M \cdot (j-1)/n$ ヶであり、

前記第1基準クロック信号を基準としたときの第j基準クロック信号の位相遅れが、 $(j-1)/n$ 周期分である

通倍PLL回路。

【請求項5】

請求項4に記載の通倍PLL回路であって、

この通倍PLL回路への電源投入後、前記発振回路からの出力クロック信号の出力開始を待って、前記基準クロック信号生成回路からの前記第1基準クロック信号の有効遷移タイミングで、前記第1分周器を1回のみリセットし、

残る第2～第n分周器について、上記第1分周器のリセットの後に前記発振回路から出力される前記出力クロック信号のパルス数が前記 $M \cdot (j-1)/n$ ヶとなるタイミングで、前記第j分周器を各々1回のみリセットする

分周器初期リセット手段を有する
通倍 P L L 回路。

【請求項 6】

請求項 5 に記載の通倍 P L L 回路であって、

前記分周器初期リセット手段は、

前記第 1 基準クロック信号の有効遷移タイミングで、前記第 1 分周器と共に
リセットされる分周比 $1 / (M / n)$ のリセット用分周器と、

このリセット用分周器の分周信号に合わせて、前記第 2 ～ 第 n 分周器のリセ
ットを順次行う順次リセット手段と、を含む
通倍 P L L 回路。

【請求項 7】

請求項 1 ～ 請求項 6 のいずれか 1 項に記載の通倍 P L L 回路であって、

前記発振回路は、電圧制御発振回路であり、

前記第 1 位相比較回路ないし第 n 位相比較回路の各比較結果のうち、

第 1 アップ信号ないし第 n アップ信号を加算するアップ信号加算回路と、

第 1 ダウン信号ないし第 n ダウン信号を加算するダウン信号加算回路と、

上記加算されたアップ信号と、上記加算されたダウン信号とを入力するチャ
ージポンプと、

上記チャージポンプの出力信号を平滑化し、平滑化出力を上記電圧制御発振回
路に入力するローパスフィルタと、
を備える通倍 P L L 回路。

【請求項 8】

請求項 1 ～ 請求項 7 のいずれか 1 項に記載の通倍 P L L 回路であって、

前記基準クロック信号生成回路は、前記レファレンスクロック信号を遅延させ
て、前記第 1 基準クロック信号ないし第 n 基準クロック信号を生成するディレイ
ロックドループ回路である
通倍 P L L 回路。

【請求項 9】

発振回路を P L L 制御して、入力されたレファレンスクロック信号を通倍した出

カクロック信号を出力する通倍 P L L 回路であって、

同じ分周比を有し上記出力クロック信号を分周する n 個 (n は 2 以上の整数) の分周器と、

これらの分周器とそれぞれ対を成す n 個の位相比較回路と、

上記レファレンスクロック信号を用いて、互いに位相の異なる n 種の基準クロック信号を生成する基準クロック信号生成回路と、を含み、

各位相比較回路において、この位相比較回路と上記対を成す分周器からの分周信号と上記 n 種の基準クロック信号のうちのいずれかとの位相比較により位相比較結果を得、この位相比較結果を用いて、上記レファレンスクロック信号の 1 周期の期間毎に n 回ずつ、上記発振回路に対し P L L 制御を行うように構成してなる

通倍 P L L 回路。

【請求項 1 0】

入力されたレファレンスクロック信号を通倍した出力クロック信号を出力する通倍 P L L 回路であって、

発振回路と、

上記レファレンスクロック信号の 1 周期の期間毎に 2 以上の所定回ずつ、上記発振回路に対し P L L 制御を行う多重制御回路と、を備える
通倍 P L L 回路。

【発明の詳細な説明】

【 0 0 0 1】

【発明の属する技術分野】

本発明は、入力されたレファレンスクロック信号を通倍した周波数を有する出力クロック信号に変換する通倍 P L L 回路に関する。

【 0 0 0 2】

【関連技術】

入力されたレファレンスクロック信号を用い、これを通倍した周波数を有する出力クロック信号に変換する通倍 P L L 回路が知られている。このような通倍 P L L 回路としては、例えば、図 1 に示すように、位相比較回路 1 1 0、チャージ

ポンプ 120、ローパスフィルタ（以下単に、LPFともいう）130、電圧制御発振回路（以下単に、VCOともいう）140、及び分周器150を有する通倍PLL回路100が知られている。この通倍PLL回路100では、分周器100の分周信号SDとレファレンスクロック信号SRとの位相を位相比較回路110で比較し、位相比較結果であるアップ信号およびダウン信号に応じた電流をチャージポンプ120から出力させ、これをLPF130で積分して電圧出力とする。この電圧出力をVCO140に入力することにより、これに応じた周波数の出力クロック信号STを出力する。分周器150は出力クロック信号STを分周する。かくして、レファレンスクロック信号SRに対して、分周比（ $1/M$ ）の逆数である通倍数Mを有する出力クロック信号STが出力される。また、この出力クロック信号STは、レファレンスクロック信号SRの1周期毎に1回ずつ位相比較してPLL制御を行うことで、その周波数精度が維持されることになる。

【0003】

【発明が解決しようとする課題】

しかしながら、上述したように、レファレンスクロック信号SRの周期毎に位相比較してPLL制御を行うので、通倍数Mが大きな値（例えば数100倍～数1000倍）になると、出力クロック信号のパルス数で言えば、例えば1024パルス毎に1回、位相比較を行ってPLL制御が行われることとなり、出力クロック信号のジッタが大きくなりがちである。また、ロックアップタイムも増加する。

本発明は、かかる問題点に鑑みてなされたものであって、簡単な構成で、ジッタを抑制でき、ロックアップタイムも短縮できる通倍PLL回路を提供することを目的とする。

【0004】

【課題を解決するための手段、作用及び効果】

しかしてその解決手段は、出力クロック信号を出力する発振回路と、上記出力クロック信号を分周して第1分周信号ないし第n分周信号（nは2以上の整数）を各々出力する第1分周器ないし第n分周器であって、出力する上記第1分周信

号ないし第 n 分周信号の有効遷移タイミングが互いに異なる第 1 分周器ないし第 n 分周器と、入力されたレファレンスクロック信号を用いて、互いに位相の異なる n 種の第 1 基準クロック信号ないし第 n 基準クロック信号を生成する基準クロック信号生成回路と、第 i 基準クロック信号と第 i 分周信号 (i は $1 \sim n$ の整数) との位相を各々比較する第 1 位相比較回路ないし第 n 位相比較回路と、を備え、上記発振回路における上記出力クロック信号の発振周波数が、上記第 1 位相比較回路ないし第 n 位相比較回路の比較結果に基づいて、変化するように構成されてなる通倍 PLL 回路である。

【 0 0 0 5 】

本発明の通倍 PLL 回路は、 n 個の分周器 (第 1 ～ 第 n 分周器) と、 n 個の位相比較回路 (第 1 ～ 第 n 位相比較回路) と、 n 種の基準クロック信号 (第 1 ～ 第 n 基準クロック信号) を生成する基準クロック信号生成回路とを備え、発振回路における出力クロック信号の発振周波数が、 n 個の位相比較回路の比較結果に基づいて、変化するように構成されてなる。このため、この通倍 PLL 回路では、レファレンスクロック信号の 1 周期に 1 回の割合で位相比較をし PLL 制御が行われるのではなく、1 周期に n 回の割合で位相比較をして PLL 制御を行うことができる。従って、相対的に頻繁に PLL 制御が行われるから、出力クロック信号のジッタを低減させることができる。また、頻繁に PLL 制御を行うので、電源投入後などにおいて、早期に PLL 制御によるロック状態となし得るから、ロックアップタイムも短縮できる。

【 0 0 0 6 】

なお、本明細書において、有効遷移タイミングとは、信号がレベル反転して、ローレベルからハイレベルへの遷移する (立ち上がる)、あるいは、ハイレベルからローレベルへの遷移する (立ち下がる) 信号遷移タイミングのうち、有効に扱われる信号遷移タイミングをいう。例えば、デューティ比 50% の方形波クロック信号を用いるに当たり、この信号の立ち上がりのタイミングを用いて何らかの動作を行うが、この信号の立ち下がるのタイミングを用いては何の動作も行わない場合には、信号の立ち上がりタイミングと立ち下がりタイミングのうち、この立ち上がりタイミングが有効遷移タイミングとなる。逆に、信号の立ち下がり

のタイミングを用いて何らかの動作を行うが、この信号の立ち上がりのタイミングを用いては何の動作も行わない場合には、立ち下がりタイミングが有効遷移タイミングとなる。また、信号の立ち上がりのタイミングを用いて何らかの動作を行う一方、この信号の立ち下がりタイミングを用いても何らかの動作も行う場合には、立ち上がりタイミングと立ち下がりタイミングの両方が有効遷移タイミングとなる。

【 0 0 0 7 】

また、発振回路における出力クロック信号の発振周波数を、第 1 位相比較回路ないし第 n 位相比較回路の比較結果に基づいて変化させうる構成としては、位相比較回路の比較結果に基づき発振回路の発信周波数が変化させ、PLL 制御を行うるいずれの構成を採用しても良い。例えば、発振回路として電圧制御発振回路 (VCO) を用い、比較結果をチャージポンプ、ローパスフィルタ経由して、この VCO に入力する公知の構成を用いることができる。また、位相比較回路としては、いわゆるリニア方式の位相比較回路のほか、いわゆるバイナリ方式の位相比較回路を用いることもでき、これに伴って、発振回路の発信周波数を変化させうるようにする回路構成も適宜選択することができる。

【 0 0 0 8 】

さらに、請求項 1 に記載の通倍 PLL 回路であって、前記第 1 分周器ないし第 n 分周器は、同じ分周比 $1/M$ (M は 2 以上の整数) を有し、前記第 1 分周信号の有効遷移タイミングから前記第 j 分周信号 (j は 2 ～ n の整数) の有効遷移タイミングまでの期間に、前記発振回路から出力される前記出力クロック信号のパルス数を P_j けたとき、前記第 1 基準クロック信号を基準としたときの第 j 基準クロック信号の位相遅れが P_j/M 周期分である通倍 PLL 回路とすると良い。

【 0 0 0 9 】

本発明の通倍 PLL 回路では、第 1 ～ 第 n 分周器は、いずれも同じ分周比 $1/M$ を有する。しかも、第 1 分周信号の有効遷移タイミングから第 j 分周信号の有効遷移タイミングまでの期間に発振回路から出力される出力クロック信号のパルス数 (P_j) と、第 1 基準クロック信号を基準としたときの第 j 基準クロック信

号の位相遅れ (P_j / M 周期) とを、適切な関係にしてあるので、いつも正確に PLL 制御を行うことができる。

【0010】

さらに、請求項 2 に記載の通倍 PLL 回路であって、この通倍 PLL 回路への電源投入後、前記発振回路からの出力クロック信号の出力開始を待って、前記基準クロック信号生成回路からの前記第 1 基準クロック信号の有効遷移タイミングで、前記第 1 分周器を 1 回のみリセットし、残る第 2 ～ 第 n 分周器について、上記第 1 分周器のリセットの後に前記発振回路から出力される前記出力クロック信号のパルス数が前記 P_j となるタイミングで、前記第 j 分周器を各々 1 回のみリセットする分周器初期リセット手段を有する通倍 PLL 回路とすると良い。

【0011】

本発明の通倍 PLL 回路では、分周器初期リセット手段を有するため、この通倍 PLL 回路の電源投入後に、各分周器 (第 1 ～ 第 n 分周器) を適切なタイミングでリセットできる。このため、それ以降に、前述したように、第 1 分周信号の有効遷移タイミングから第 j 分周信号の有効遷移タイミングまでの期間に、発振回路から出力される出力クロック信号のパルス数が P_j となるような関係を保つことができる。

【0012】

あるいは、請求項 1 に記載の通倍 PLL 回路であって、前記第 1 分周器ないし第 n 分周器は、同じ分周比 $1 / M$ (M は 2 以上の整数) を有し、前記第 1 分周信号の有効遷移タイミングから第 j 分周信号 (j は 2 ～ n の整数) の有効遷移タイミングまでの期間に、前記発振回路から出力される出力クロック信号のパルス数が、 $M \cdot (j - 1) / n$ であり、前記第 1 基準クロック信号を基準としたときの第 j 基準クロック信号の位相遅れが、 $(j - 1) / n$ 周期分である通倍 PLL 回路としても良い。

【0013】

本発明の通倍 PLL 回路では、第 1 ～ 第 n 分周器は、いずれも同じ分周比 $1 / M$ を有する。しかも、第 1 分周信号の有効遷移タイミングから第 j 分周信号の有効遷移タイミングまでの期間に発振回路から出力される出力クロック信号のパル

ス数を $M \cdot (j-1)/n$ ケとし、第1基準クロック信号を基準としたときの第j基準クロック信号の位相遅れを $(j-1)/n$ 周期分としている。例えば、 $M=1024$ 、 $n=8$ とした場合、第1分周信号の有効遷移タイミングから第j分周信号の有効遷移タイミングまでの期間に発振回路から出力される出力クロック信号のパルス数を、128ケ、256ケ、384ケ、…とする。また、第1基準クロック信号を基準としたときの第j基準クロック信号の位相遅れを、 $1/8$ 周期、 $2/8$ 周期、 $3/8$ 周期…とする。このようにすることで、第j分周信号と第j基準クロック信号とを適切な関係となるので、レファレンスクロック信号を基準として、正確にPLL制御を行うことができる。特に、本発明の通倍PLL回路では、レファレンスクロック信号の1周期の間に均等にn回、つまり $1/n$ 周期毎にPLL制御を行うことができるので、特にジッタを均等に抑制することができる。

【0014】

さらに、請求項4に記載の通倍PLL回路であって、この通倍PLL回路への電源投入後、前記発振回路からの出力クロック信号の出力開始を待って、前記基準クロック信号生成回路からの前記第1基準クロック信号の有効遷移タイミングで、前記第1分周器を1回のみリセットし、残る第2～第n分周器について、上記第1分周器のリセットの後に前記発振回路から出力される前記出力クロック信号のパルス数が前記 $M \cdot (j-1)/n$ ケとなるタイミングで、前記第j分周器を各々1回のみリセットする分周器初期リセット手段を有する通倍PLL回路とすると良い。

【0015】

本発明の通倍PLL回路では、分周器初期リセット手段を有するため、この通倍PLL回路の電源投入後に、各分周器（第1～第n分周器）を適切なタイミングでリセットできる。このため、それ以降に、前述したように、第1分周信号の有効遷移タイミングから第j分周信号の有効遷移タイミングまでの期間に、発振回路から出力される出力クロック信号のパルス数が $M \cdot (j-1)/n$ ケとなるような関係を保たせ、各分周器（第1～第n分周器）の分周タイミングを均等にセットすることができる。

例えば、 $M=1024$ ， $n=8$ とした場合、出力クロック信号のパルス数が、128ヶ、256ヶ、384ヶ、…となるタイミングで、第2，第3，…第 n 分周器を各々1回のみにリセットする。このため、それ以降に、第1分周信号の有効遷移タイミングから第 j 分周信号の有効遷移タイミングまでの期間に、発振回路から出力される出力クロック信号のパルス数が、128ヶ、256ヶ、384ヶ、…となるような関係を保たせることができる。

【0016】

さらに、請求項5に記載の通倍PLL回路であって、前記分周器初期リセット手段は、前記第1基準クロック信号の有効遷移タイミングで、前記第1分周器と共にリセットされる分周比 $1/(M/n)$ のリセット用分周器と、このリセット用分周器の分周信号に合わせて、前記第2～第 n 分周器のリセットを順次行う順次リセット手段と、を含む通倍PLL回路とすると良い。

【0017】

本発明の通倍PLL回路では、分周器初期リセット手段に、リセット用分周器と順次リセット手段とを有している。第1分周器と共にリセットされるこのリセット用分周器の分周信号を用いれば、出力クロック信号のパルス数が、 (M/n) ヶとなる毎に、このリセット用分周器から分周信号が得られる。そこで、この分周信号を用いて第2～第 n 分周器を順にリセットすることで、それ以降、第1分周信号の有効遷移タイミングから第 j 分周信号の有効遷移タイミングまでの期間に、発振回路から出力される出力クロック信号のパルス数が $M \cdot (j-1)/n$ ヶとなるような関係を保たせることができる。

例えば、 $M=1024$ ， $n=8$ とした場合、分周比 $1/128$ のリセット用分周器を用いることで、出力クロック信号のパルス数が128ヶとなる毎に、このリセット用分周器から分周信号が得られる。従って、この分周信号を用いて、第2～第 n 分周器を順にリセットすれば、それ以降に、第1分周信号の有効遷移タイミングから第 j 分周信号の有効遷移タイミングまでの期間に、発振回路から出力される出力クロック信号のパルス数が、128ヶ、256ヶ、384ヶ、…となるような関係を保たせることができる。

【0018】

さらに、請求項 1～請求項 6 のいずれか 1 項に記載の通倍 PLL 回路であって、前記発振回路は、電圧制御発振回路であり、前記第 1 位相比較回路ないし第 n 位相比較回路の各比較結果のうち、第 1 アップ信号ないし第 n アップ信号を加算するアップ信号加算回路と、第 1 ダウン信号ないし第 n ダウン信号を加算するダウン信号加算回路と、上記加算されたアップ信号と、上記加算されたダウン信号とを入力するチャージポンプと、上記チャージポンプの出力信号を平滑化し、平滑化出力を上記電圧制御発振回路に入力するローパスフィルタと、を備える通倍 PLL 回路とすると良い。

【 0 0 1 9 】

本発明の通倍 PLL 回路では、第 1 位相比較回路ないし第 n 位相比較回路の各比較結果のうち、各々のアップ信号を加算するアップ信号加算回路と、各々のダウン信号を加算するダウン信号加算回路とを備えるので、チャージポンプ、ローパスフィルタ、及び電圧制御発振回路を備える公知の PLL 回路の部品（部分）をそのまま用いることができる。

【 0 0 2 0 】

さらに、請求項 1～請求項 7 のいずれか 1 項に記載の通倍 PLL 回路であって、前記基準クロック信号生成回路は、前記レファレンスクロック信号を遅延させて、前記第 1 基準クロック信号ないし第 n 基準クロック信号を生成するディレイロックドループ回路である通倍 PLL 回路とすると良い。

【 0 0 2 1 】

第 1～第 n 基準クロック信号の相互間に生じさせる位相差（遅延時間）の精度は、出力クロック信号のジッタ等に大きく影響する。本発明の通倍 PLL 回路では、基準クロック信号生成回路として、遅延時間を精度良く制御できるディレイロックドループ回路（DLL 回路）を用いたので、第 1～第 n 基準クロック信号の相互間に生じさせる位相差を高精度に制御できるから、第 1～第 n 基準クロック信号を生成することによって生じる出力クロック信号のジッタ等を抑制することができる。

【 0 0 2 2 】

さらに他の解決手段は、発振回路を PLL 制御して、入力されたレファレンス

クロック信号を逡倍した出力クロック信号を出力する逡倍 PLL 回路であって、同じ分周比を有し上記出力クロック信号を分周する n ケ (n は 2 以上の整数) の分周器と、これらの分周器とそれぞれ対を成す n ケの位相比較回路と、上記レファレンスクロック信号を用いて、互いに位相の異なる n 種の基準クロック信号を生成する基準クロック信号生成回路と、を含み、各位相比較回路において、この位相比較回路と上記対を成す分周器からの分周信号と上記 n 種の基準クロック信号のうちのいずれかとの位相比較により位相比較結果を得、この位相比較結果を用いて、上記レファレンスクロック信号の 1 周期の期間毎に n 回ずつ、上記発振回路に対し PLL 制御を行うように構成してなる逡倍 PLL 回路である。

【 0 0 2 3 】

本発明の逡倍 PLL 回路では、 n ケの分周器と、 n ケの位相比較回路と、 n 種の基準クロック信号を生成する基準クロック信号生成回路とを備え、発振回路における出力クロック信号の発振周波数が、 n ケの位相比較回路の比較結果に基づいて、変化するように構成されてなる。このため、この逡倍 PLL 回路では、レファレンスクロック信号の 1 周期に 1 回の割合で PLL 制御が行われるのではなく、1 周期に n 回の割合で PLL 制御を行うことができる。従って、相対的に頻繁に PLL 制御が行われるから、出力クロック信号のジッタを低減させることができる。また、頻繁に PLL 制御を行うので、電源投入後などにおいて、早期に PLL 制御によるロック状態となし得るから、ロックアップタイムも短縮できる。

【 0 0 2 4 】

さらに、他の解決手段は、入力されたレファレンスクロック信号を逡倍した出力クロック信号を出力する逡倍 PLL 回路であって、発振回路と、上記レファレンスクロック信号の 1 周期の期間毎に 2 以上の所定回ずつ、上記発振回路に対し PLL 制御を行う多重制御回路と、を備える逡倍 PLL 回路である。

【 0 0 2 5 】

本発明の逡倍 PLL 回路では、レファレンスクロック信号の 1 周期に 1 回の割合で PLL 制御が行われるのではなく、1 周期に 2 以上の所定回の割合で PLL 制御が行われる。従って、相対的に頻繁に PLL 制御が行われるから、出力クロ

ック信号のジッタを低減させることができる。また、頻繁にPLL制御を行うので、電源投入後などにおいて、早期にPLL制御によるロック状態となし得るから、ロックアップタイムも短縮できる。

【0026】

【発明の実施の形態】

本発明の実施の形態を、図2～図7を参照しつつ説明する。なお本実施形態において、理解容易のため、 $n=8$ 、 $M=1024$ とした場合の例を合わせて示すことがある。

図2は、本実施形態にかかる通倍PLL回路1の概略構成を示すブロック図である。本実施形態の通倍PLL回路1は、リファレンスクロック信号SRを通倍（通倍数M）してより周波数の高い出力クロック信号STを出力する。この通倍PLL回路1は、多重制御回路2とこれによって制御される発振回路3とを有している。多重制御回路2は、リファレンスクロック信号SRの1周期の期間内に、発振回路3に対して、 n 回のPLL制御を行うように構成されている。即ち、前記した従来の通倍PLL回路100では、リファレンスクロック信号SRの1周期の期間内には、1回しかPLL制御することができなかったのに対し、この通倍PLL回路1では、同じ期間内に n 回PLL制御を行うことができる。このため、出力クロック信号STのジッタを抑制することができる。また、電源投入後などにおいて、より早期にPLL制御された出力クロック信号を出力することができるようになる。つまりロックアップタイムも短縮できる。

【0027】

次いで、この通倍PLL回路1の構成について、図3を参照して説明する。通倍PLL回路1のうち、一点鎖線で示す多重制御回路2は、チャージポンプ20、LPF30、 n ケの第1～第 n 分周器51～5 n 、 n ケの第1～第 n 位相比較回路11～1 n 、ディレイロックドロップ回路（以下、単にDLLともいう）60、加算回路71、72から構成されている。また、発振回路3は、LPF30の電圧出力によってその発信周波数が変化するVCO40である。

【0028】

ここで、DLL60は、リファレンスクロック信号SRが入力されると、これ

を所定期間遅延させ、互いに位相の異なる n 種の第 1 ～ 第 n 基準クロック信号 $SB_1 \sim SB_n$ を生成する回路である。具体的には、図 4 に示すように、DLL 60 は、第 1 基準クロック信号 SB_1 を生成するとともに、第 1 基準クロック信号 SB_1 に対して $1/n$ 周期分遅れた第 2 基準クロック信号 SB_2 を生成し、第 1 基準クロック信号 SB_1 に対して $(n-1)/n$ 周期分遅れた第 n 基準クロック信号を生成する。このように、DLL 60 は、第 1 基準クロック信号 SB_1 に対して、 $(j-1)/n$ 周期分遅れた第 j 基準クロック SB_j (j は $2 \sim n$ の整数) を生成する回路である。例えば、 $n=8$ とした場合、 $1/8$ 周期分、 $2/8$ 周期分、…、 $7/8$ 周期分遅れた第 2 ～ 第 8 基準クロック $SB_2 \sim SB_8$ を生成する。上記説明から判るように、本実施形態では、或る基準クロック信号とこれと隣り合う番号の基準クロック信号との位相差は、いずれも $1/n$ 周期分 (例えば $1/8$ 周期分) になっている。

また、この DLL 60 は、詳述しないが、公知のディレイロックドループ制御によって、各基準クロック信号 $SB_1 \sim SB_n$ は、それぞれ高精度に遅延時間、従って位相遅れが制御されている。

なお、本実施形態では、各基準クロック信号 SB_1 等の信号遷移タイミングのうち、図 4 に矢印 ↑ で示すように、信号の立ち上がりタイミングのみを用いる。従って、本実施形態では、各基準クロック信号 SB_1 等の有効遷移タイミングは、信号の立ち上がりタイミングのみである。

【0029】

一方、 n ケの第 1 ～ 第 n 分周器 $5_1 \sim 5_n$ は、いずれも同じ分周比 $1/M$ (例えば、 $1/1024$) を有し、出力クロック信号 ST を分周して、第 1 ～ 第 n 分周信号 $SD_1 \sim SD_n$ をそれぞれ出力する。第 1 ～ 第 n 分周信号 $SD_1 \sim SD_n$ は、各分周器 $5_1 \sim 5_n$ に入力される出力クロック信号 ST のパルス数が M ケ (例えば 1024 ケ) となる毎に、立ち上がるように変化 (信号遷移) する。

さらに、具体的には、図 5 に示すように、第 2 分周信号 SD_2 は、第 1 分周信号 SD_1 の立ち上がりタイミングに対して出力クロック信号 ST のパルス数 $P_2 = M/n$ ケ分遅れて立ち上がる。また、第 n 分周信号 SB_n は、第 1 分周信号 SD_1 の立ち上がりタイミングに対して出力クロック信号 ST のパルス数 $P_n =$ (

$(n-1) \cdot M/n$ 分遅れて立ち上がる。

【0030】

このように、第 j 分周信号 SB_j (j は $2 \sim n$ の整数) は、第 1 分周信号 SD_1 の立ち上がりタイミングに対して出力クロック信号 ST のパルス数 $P_j = (j-1) \cdot M/n$ 分遅れて立ち上がる。例えば、 $n=8$ 、 $M=1024$ とすると、 $P_2=128$ ケ、 $P_3=256$ ケ、…、 $P_8=896$ ケとなる。換言すると、上記説明から判るように、本実施形態では、或る分周信号とこれと隣り合う番号の分周信号とは、出力クロック信号 ST のパルス数で、いずれも M/n 分 (例えば、 $1024/8=128$ ケ分) ずれている。

なお、本実施形態では、各分周信号 SD_1 等の信号遷移タイミングのうち、図 5 に矢印 \uparrow で示すように、信号の立ち上がりタイミングのみを用いる。従って、本実施形態では、各分周信号 SD_1 等の有効遷移タイミングは、信号の立ち上がりタイミングのみである。

【0031】

さらに、図 3 に示すように、第 1 位相比較回路 11 には、対をなす第 1 分周器 51 からの第 1 分周信号 SD_1 と第 1 基準クロック信号 SB_1 とが入力される。また、第 n 位相比較回路 1n には、対を成す第 n 分周器からの第 n 分周信号 SD_n と第 n 基準クロック信号 SB_n とが入力される。このように、入力第 i 位相比較回路 1i には、それぞれ、第 i 基準クロック信号 SB_i と第 i 分周信号 SD_i (i は $1 \sim n$ の整数) が入力される。

【0032】

また、第 1 位相比較回路 11 は公知の位相/周波数比較器であり、入力された第 1 基準クロック信号 SB_1 の立ち上がりタイミング (有効遷移タイミング) を基準として、入力された第 1 分周信号 SD_1 の立ち上がりタイミング (有効遷移タイミング) との位相差に相当する比較結果を出力する。具体的には、第 1 基準クロック信号 SB_1 に対して、第 1 分周信号 SD_1 が遅れ位相の場合には、位相遅れに相当する期間ハイレベルとなる第 1 アップ信号 SP_{1u} を出力する。逆に、第 1 基準クロック信号 SB_1 に対して、第 1 分周信号 SD_1 が進み位相の場合には、位相進みに相当する期間ハイレベルとなる第 1 ダウン信号 SP_{1d} を出力

する（図6参照）。

【0033】

他の位相比較回路12～1nも同様である。即ち、入力された基準クロック信号SB2等の立ち上がりタイミングを基準として、入力された第2分周信号SD2等の立ち上がりタイミングとの位相差に相当するアップ信号SP2u～SPnuあるいはダウン信号SP2d～SPndを出力する。

【0034】

これらの位相比較の様子を図6に示す。但し、図6に示す出力クロック信号STは、第1基準クロック信号SB1等に比較して十分高い周波数を有することを示すために記載したに過ぎず、信号遷移タイミングと第1分周信号SD1等の立ち上がりタイミングとの関係や通倍数Mなどについては正確に記載していない点に留意されたい。

【0035】

図6において右側に示すように、矢印↑で示す第1基準クロック信号SB1の立ち上がりタイミングに対して、同じく矢印↑で示す第1分周信号SD1の立ち上がりタイミングが遅れる場合には、その遅れ分のパルス幅を持つ第1アップ信号SP1uが出力される。一方、図6中左側に示すように、矢印↑で示す第1基準クロック信号SB1の立ち上がりタイミングに対して、同じく矢印↑で示す第1分周信号SD1の立ち上がりタイミングが早い（進む）場合には、その進み分のパルス幅を持つ第1ダウン信号SP1dが出力される。なお、本実施形態の位相比較回路11等では、比較する第1基準クロック信号SB1等の立ち上がりタイミングと第1分周信号SD1等の立ち上がりタイミングとが一致する場合には、ごく短い第1アップ信号SP1d等と第1ダウン信号SP1d等とが出力されるようになっている。図6中右側に、第2アップ信号SP2dと第2ダウン信号SP2dで、このような場合を例示するので参照されたい。

【0036】

次いで、これらの位相比較の結果を加算回路71、72で加算する。具体的には、第1～第nアップ信号SP1u～SPnuを加算回路71で加算して、アップ信号UPを生成する。また、第1～第nダウン信号SP1d～SPndを加算

回路 7 2 で加算して、ダウン信号 DOWN を生成する。

その後は、前述した公知の通倍 PLL 回路 1 0 0 と同様にする。即ち、チャージポンプ 2 0 から、アップ信号 UP およびダウン信号 DOWN に応じた電流を出力させ、これを LPF 3 0 で積分（平滑化）して電圧出力とする。この電圧出力を VCO 4 0 に入力することにより、これに応じた周波数の出力クロック信号 ST を出力する。

【 0 0 3 7 】

例えば、出力クロック信号 ST の周波数が若干低かったために、第 1 分周信号 SD 1 の立ち上がりタイミングが、第 1 基準クロック信号 SB 1 の立ち上がりタイミングより若干遅れた場合には、第 1 アップ信号 SP 1 u が出力され、結局、VCO 4 0 は、その周波数を若干上げるように制御される。すると、各分周信号と各基準クロック信号との位相差は、進み方向に変化することになる。逆の場合には、第 1 ダウン信号 SP 1 d が出力され、VCO 4 0 の周波数を下げるように制御される。すると、各分周信号と各基準クロック信号との位相差は、遅れ方向に変化することになる。このようにして、位相差が小さくなり、常に出力クロック信号 ST の周波数が、適切な値となるように PLL 制御される。しかも、第 1 ～第 n 分周器 5 1 ～5 n は、出力クロック信号 ST を分周比（ $1/M$ ）で分周する。かくして、レファレンスクロック信号 SR に対して、分周比（ $1/M$ ）の逆数である通倍数 M（例えば 1 0 2 4 倍）を有する出力クロック信号 ST が出力される。

【 0 0 3 8 】

さらに、本実施形態の通倍 PLL 回路 1 では、図 6 に示すアップ信号 UP 及びダウン信号 DOWN を参照すれば容易に理解できるように、レファレンスクロック信号 SR 及びこれを遅延させた第 1 ～第 n 基準クロック信号 SB 1 ～SB n の 1 周期毎に、n 回ずつ位相比較される。そして、各回の比較結果により、出力クロック信号 ST が、その都度 PLL 制御される。つまり、出力クロック信号 ST は、レファレンスクロック信号 SR の 1 周期毎に、n 回（例えば 8 回）ずつ PLL 制御されるから、その周波数が、より高精度に維持されることになる。このため、出力クロック信号 ST のジッタを低減させることができる。

特に、本実施形態では、D L L 6 0 で、第 1 ～ 第 n 基準クロック信号 $S B 1 \sim S B n$ を、 $1/n$ 周期ずつずらして生成した。一方、第 1 ～ 第 n 分周器 $5 1 \sim 5 n$ では、第 1 ～ 第 n 分周信号 $S D 1 \sim S D n$ を、出力クロック信号 $S T$ のパルス数で、 M/n 分ずつずらして発生させるようにしている。このため、出力クロック信号 $S T$ に対する P L L 制御のタイミングが均等になり、ジッタも均等に低減できる。

【 0 0 3 9 】

また、第 1 ～ 第 n 分周器 $5 1 \sim 5 n$ の第 1 ～ 第 n 分周信号 $S D 1 \sim S D n$ は、以下の関係にされていること、即ち、第 j 分周信号 $S B j$ (j は $2 \sim n$ の整数) は、第 1 分周信号 $S D 1$ の立ち上がりタイミングに対して出力クロック信号 $S T$ のパルス数 $P j = (j - 1) \cdot M/n$ 分遅れて立ち上がることは、既に説明した。各分周器 $5 1 \sim 5 n$ をこのような関係とするため、本実施形態の通倍 P L L 回路 1 では、分周器初期リセット回路 8 0 を備えている。図 7 を参照して、この分周器初期リセット回路 8 0 及びリセット方法について説明する。

【 0 0 4 0 】

分周器初期リセット回路 8 0 は、リセット用分周器 8 1、スイッチ制御回路 8 2、リセットスイッチ 9 0、及び $n - 1$ 個の選択スイッチ 9 2 ～ 9 n とを含む。

このうち、リセット用分周器 8 1 は、分周比 $1/(M/n)$ を有する分周器である。例えば、 $n = 8$ 、 $M = 1024$ とすると、分周比 $1/128$ の分周器である。つまり、リセット用分周器 8 1 は、出力クロック信号 $S T$ のパルス数で、 M/n 個 (例えば 128 個) カウントする毎に、その分周信号であるリセット信号 $S S$ が、立ち上がりタイミングとなるように変化する。また、スイッチ制御回路 8 2 は、次述するように、リセットスイッチ 9 0、及び選択スイッチ 9 2 ～ 9 n のオンオフを制御する。リセットスイッチ 9 0 は、スイッチ制御回路 8 2 の指示により、第 1 分周器 5 1 のリセット端子 5 1 R とリセット用分周器 8 1 のリセット端子 8 1 R への第 1 基準クロック信号 $S B 1$ の入力をオン・オフするスイッチである。また、選択スイッチ 9 2 ～ 9 n は、スイッチ制御回路 8 2 の指示により、第 2 ～ 第 n 分周器 5 2 ～ 5 n 端子のリセット端子 5 2 R ～ 5 n R への、リセット用分周器 8 1 の分周信号であるリセット信号 $S S$ の入力を、それぞれオン・オ

フするスイッチである。

【0041】

スイッチ制御回路82は、通倍PLL回路1への電源供給が開始され、VCO40から出力クロック信号STが出力された後に、リセットスイッチ90をオンさせて、DLL60からの第1基準クロック信号SB1をリセット端子51Rとリセット用分周器81のリセット端子81Rに入力し、第1基準クロック信号SB1の立ち上がりタイミングを用いて1回だけ、第1分周器51とリセット用分周器81とをリセットする。これにより、第1基準クロック信号SB1の立ち上がりタイミングに合わせて、第1分周器51及びリセット用分周器81において、出力クロック信号STの分周が開始される。なお、リセット後には、リセットスイッチ90をオフさせる。

【0042】

リセット用分周器81で計数された出力クロック信号STのパルス数が M/n ヶ（例えば128ヶ）となると、このリセット用分周器81から出力されるリセット信号SSは、立ち上がりタイミングとなる。そこで、スイッチ制御回路82は、予め選択スイッチ92のみをオンさせておく。すると、リセット信号SSの立ち上がりタイミングで第2分周器52がリセットされる。つまり、第1分周器51がリセットされてから、出力クロック信号STのパルス数 M/n ヶ分だけ遅れて第2分周器52がリセットされる。かくして、第2分周信号SD2が、第1分周信号SD1に対して、出力クロック信号STのパルス数で M/n ヶ（例えば128ヶ）分遅れるように設定できたことになる。その後、スイッチ制御回路82は、選択スイッチ92をオフさせる。

【0043】

さらに、リセット用分周器81で計数された出力クロック信号STのパルス数が M/n ヶ（例えば128ヶ）となると、このリセット用分周器81から出力されるリセット信号SSは、再び立ち上がりタイミングとなる。そこで、スイッチ制御回路82は、これよりも若干前に予め選択スイッチ93のみをオンさせておく。すると、リセット信号SSの立ち上がりタイミングで、第3分周器53がリセットされる。かくして、第2分周信号SD2と第3分周信号SD3とは、出力

クロック信号 ST のパルス数で M/n ケ（例えば 128 ケ）分ずれるように設定できたことになる。従って、第 3 分周信号 SD_3 が、第 1 分周信号 SD_1 に対して、出力クロック信号 ST のパルス数で $2M/n$ ケ（例えば 256 ケ）分遅れるように設定できたことになる。その後、スイッチ制御回路 82 は、選択スイッチ 93 をオフさせる。

【0044】

かくして、順に第 2 ～ 第 n 分周器 52 ～ 5 n を順次リセットすることにより、前述したように、第 j 分周信号 SB_j （ j は 2 ～ n の整数）が第 1 分周信号 SD_1 の立ち上がりに対して出力クロック信号 ST のパルス数 $P_j = (j - 1) \cdot M/n$ ケ分遅れて立ち上がるように、第 j 分周器 5 j （第 2 ～ 第 n 分周器 52 ～ 5 n ）が設定できる。例えば、 $n = 8$ 、 $M = 1024$ とすると、 $P_2 = 128$ 、 $P_3 = 256$ 、…、 $P_8 = 896$ となる。各分周器 51 ～ 5 n の分周出力のずれは、各分周器 51 ～ 5 n がリセットされない限り変わらないから、このようにして、各分周器 51 ～ 5 n の分周タイミングを設定することで、これ以降、適切に PLL 制御を行うことができる。

【0045】

以上において、本発明を実施形態に即して説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、適宜変更して適用できることはいうまでもない。

例えば、第 1 ～ 第 n 位相比較回路 11 ～ 1 n として、入力された基準クロック信号 SB_1 等と分周信号 SD_1 等とを比較し、これらの位相差に相当するパルス幅を有するアップ信号 SP_{1u} 等あるいはダウン信号 SP_{1d} 等を入力する、いわゆる位相／周波数比較器を用いた例を示した。しかし、入力された 2 信号の排他的論理和を入力する位相比較器を用いることもできる。この場合にはチャージポンプは不要である。また、これらのように位相差信号のパルス幅を位相差に応じて変化させるリニア方式の位相比較器のみならず、入力される 2 信号の位相のどちらが早いだけを判別して位相差を 2 値のみで示すバイナリ方式の位相比較器を用い、アップ・ダウンカウンタを介してチャージポンプに入力する構成を採用することもできる。

また、VCO40には、公知の回路構成を用いることができ、例えば、奇数段の反転増幅器の入出力をループ状に接続したリング発振器や、差動増幅器を複数段接続したリング発振器などを用いることができる。

【0046】

また、上記実施形態では、分周器初期リセット回路80として、リセット用分周器81、スイッチ制御回路82、リセットスイッチ90のほか、各分周器52～5nをリセットするため、スイッチ制御回路82により順次オンオフする選択スイッチ92～9nを備えるものを示した。しかし、このような構成に限らず、リセット用分周器81のリセット信号SSの立ち上がりタイミング毎に各分周器52～5nを順次リセットできるように構成された回路を用いれば良い。例えば、 $n-1$ ヶのフリップフロップを隣のフリップフロップの出力を入力とするように接続して、 $n-1$ ビットのシフトレジスタを構成し、各ビットの出力を各分周器52～5nのリセット端子52R～5nRにそれぞれ入力するようにしておく。そして、初期値を1としたデータを、リセット用分周器81のリセット信号SSをクロック信号として、出力クロック信号STのパルス数で M/n ヶ分毎にデータを順次シフトさせることで、各分周器52～5nを順次リセットしても良い。

【図面の簡単な説明】

【図1】

従来の通倍PLL回路の構成を示すブロック図である。

【図2】

実施形態にかかる通倍PLL回路の概略構成を示すブロック図である。

【図3】

実施形態にかかる通倍PLL回路の構成を示すブロック図である。

【図4】

第1～第n基準クロック信号の変化を示すタイムチャートである。

【図5】

第1～第n分周信号の変化を示すタイムチャートである。

【図6】

実施形態にかかる通倍PLL回路の位相比較に関するタイムチャートである。

【図 7】

実施形態にかかり、分周器初期リセット手段を含む通倍PLL回路の構成を示すブロック図である。

【符号の説明】

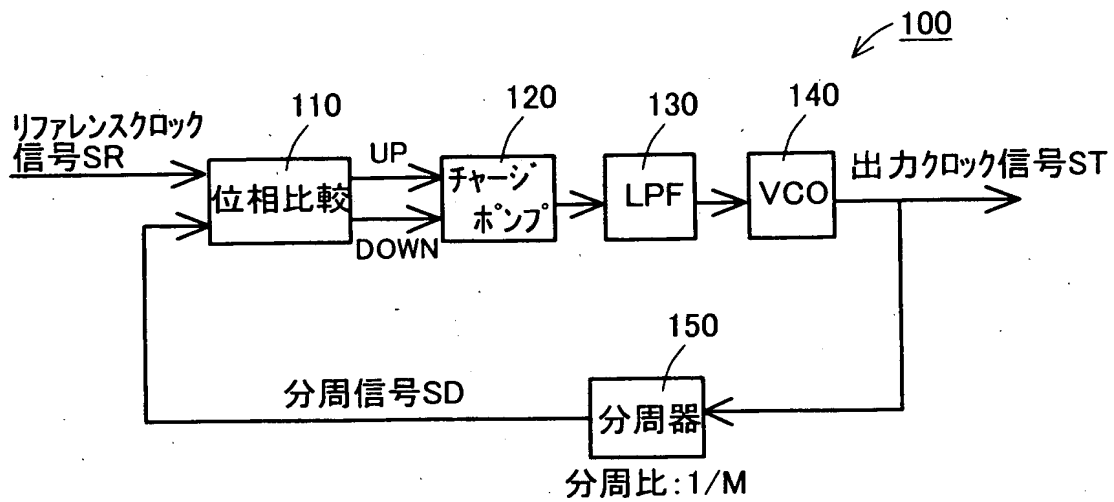
- 1 通倍PLL回路
- 2 多重制御回路
- 3 発振回路
- 11～1n 第1～第n位相比較回路
- 20 チャージポンプ
- 30 ローパスフィルタ (LPF)
- 40 電圧制御発振回路 (VCO)
- 51～5n 第1～第n分周器
- 60 デイレイロックドループ回路 (DLL)
- 71, 72 加算回路
- 80 分周器初期リセット回路 (分周器初期リセット手段)
- 81 リセット用分周器
- 82 スイッチ制御回路 (順次リセット手段)
- 90 リセットスイッチ
- 92～9n 選択スイッチ (順次リセット手段)
- SR レファレンスクロック信号
- ST 出力クロック信号
- SB1～SBn 第1～第n基準クロック信号
- SP1u～SPnu 第1～第nアップ信号
- SP1d～SPnd 第1～第nダウン信号
- SD1～SDn 第1～第n分周信号
- SS リセット信号 (リセット用分周器の分周信号)
- UP アップ信号
- DOWN ダウン信号

51R~5nR, 81R リセット端子

【書類名】 図面

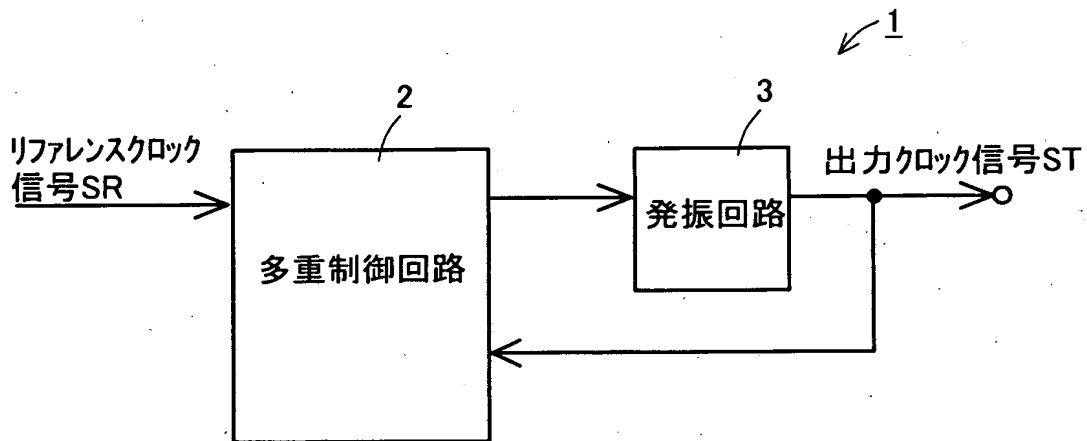
【図 1】

従来の通倍PLL回路の構成を示すブロック図



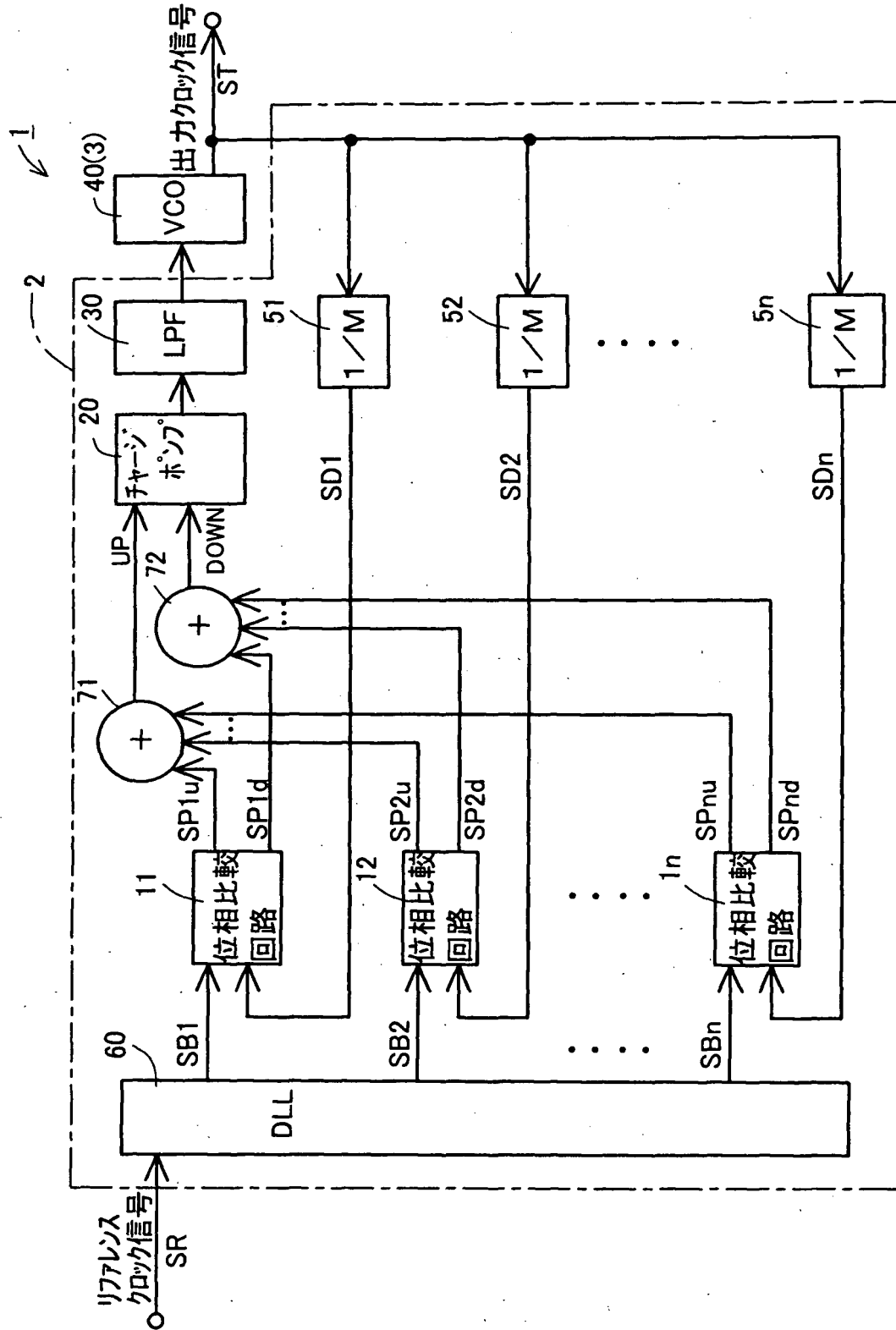
【図 2】

実施形態にかかる通倍PLL回路の概略構成を示すブロック図



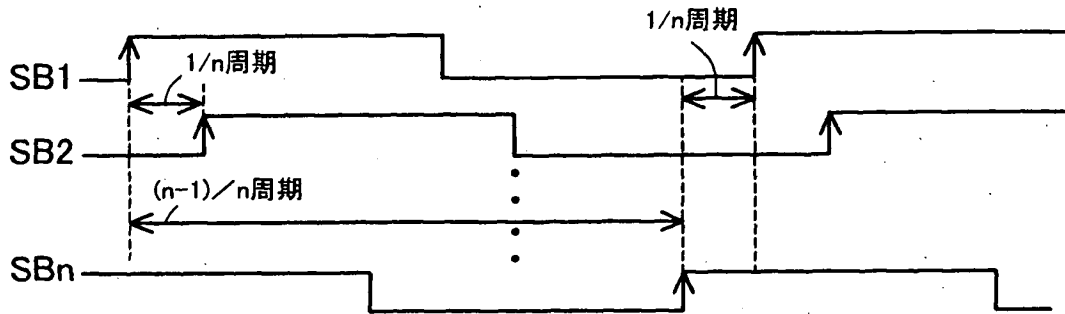
【図 3】

実施形態にかかる通倍PLL回路の構成を示すブロック図



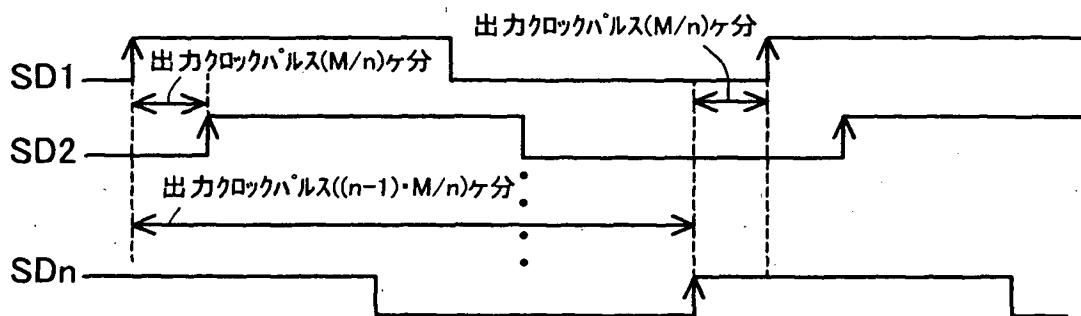
【図 4】

第1～第n基準クロックの変化を示すタイムチャート



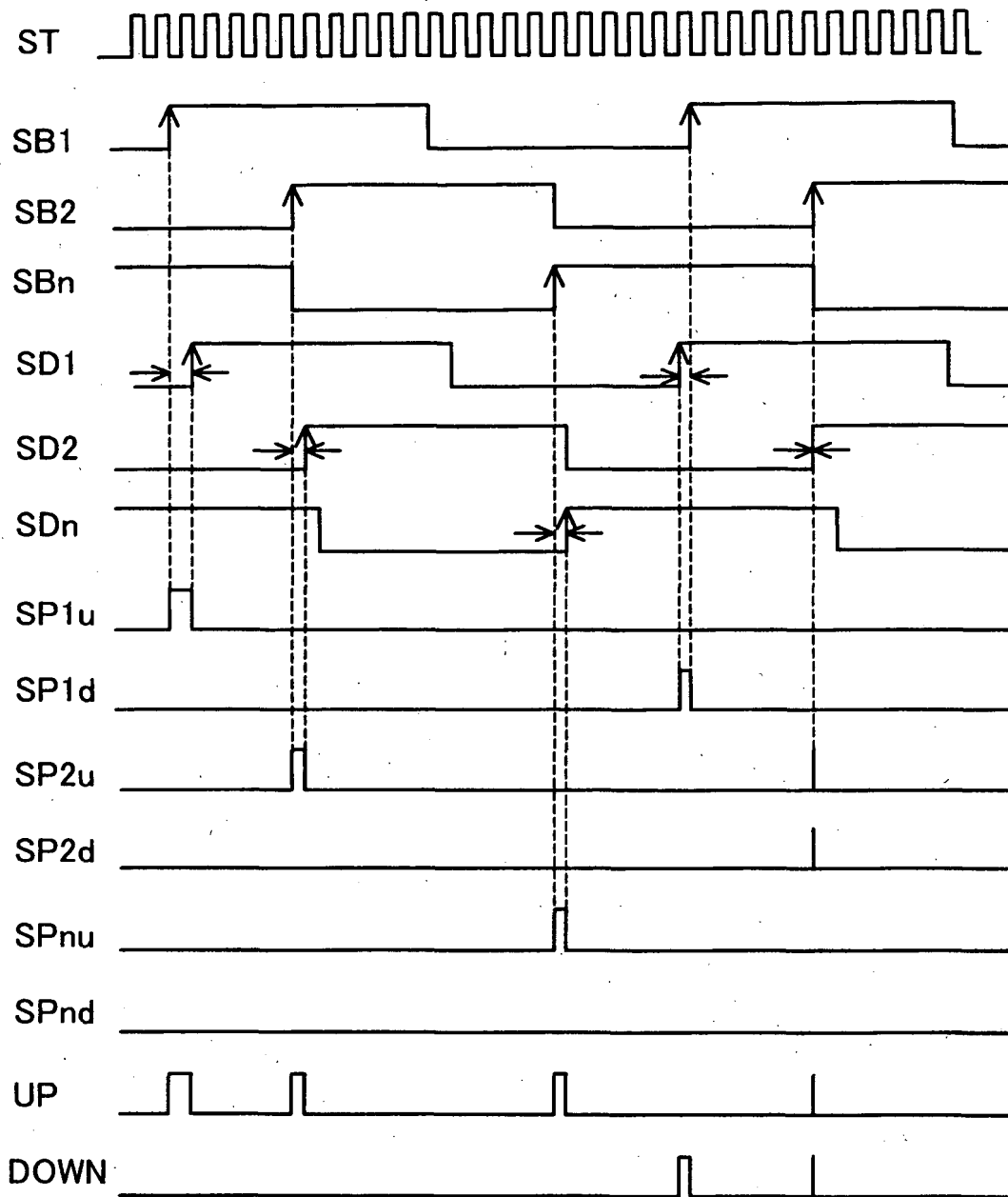
【図 5】

第1～第n分周信号の変化を示すタイムチャート



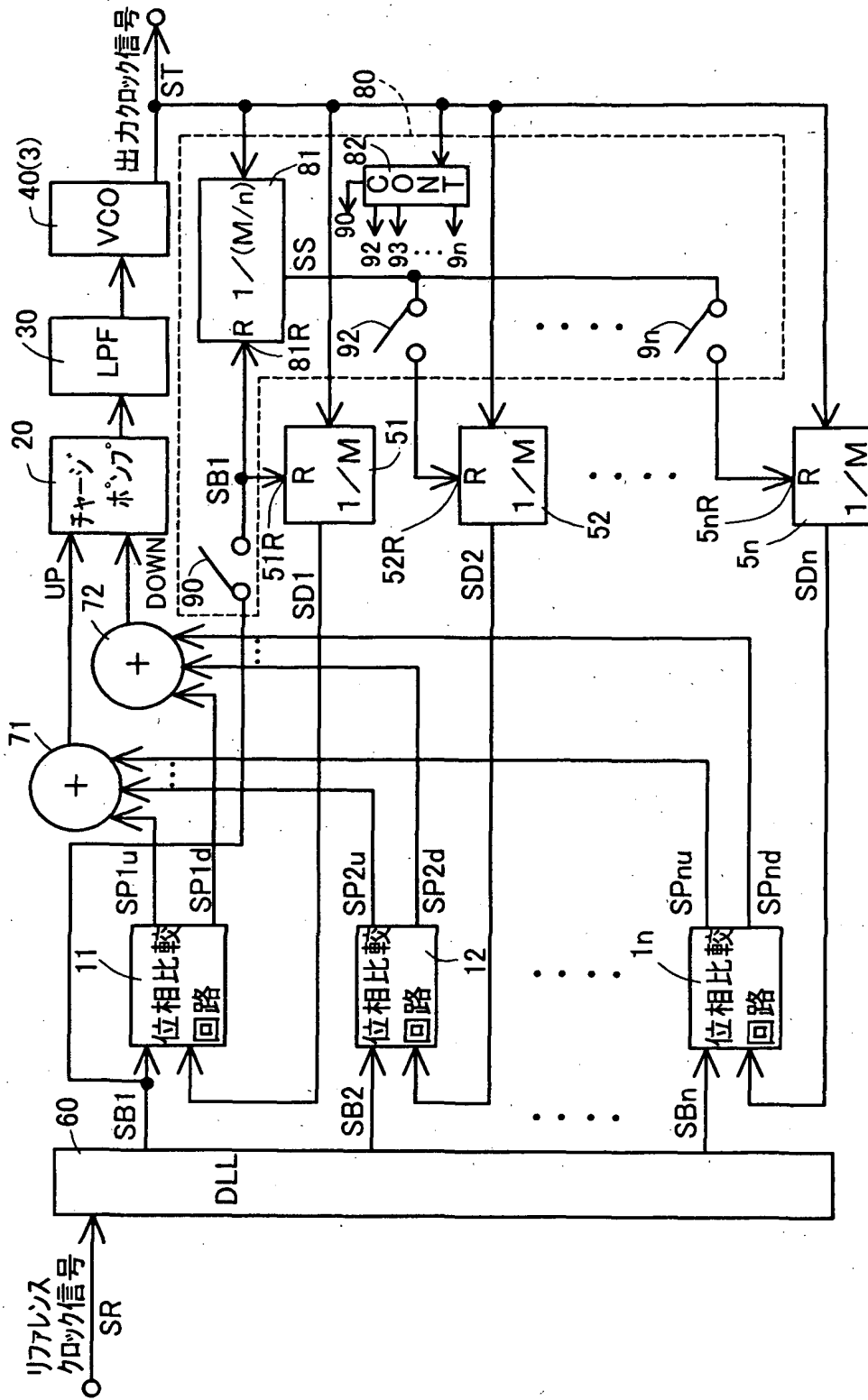
【図 6】

実施形態にかかる通倍PLL回路の位相比較に関するタイムチャート



【図 7】

実施形態にかかり分周器初期リセット手段を含む通倍PLL回路の構成を示すブロック図



【書類名】 要約書

【要約】

【課題】 簡単な構成で、ジッタを抑制でき、ロックアップタイムも短縮できる
通倍PLL回路を提供する。

【解決手段】 通倍PLL回路1は、出力クロック信号STを出力するVCO40と、出力クロック信号STを分周し第1～第n分周信号SD1～SDnを出力する第1～第n分周器51～5nと、レファレンスクロック信号SRを用いて、互いに位相の異なる第1～第n基準クロック信号SB1～SBnを生成するDLL60と、第i基準クロック信号SBiと第i分周信号SDi（iは1～nの整数）の位相を比較する第1～第n位相比較回路11～1nとを備え、VCO40の出力クロック信号STの発振周波数は、第1～第n位相比較回路11～1nの比較結果に基づいて変化するように構成されてなる。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社